

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**



(19)

(11) Publication number: 10261770 A

Generated Document.

# PATENT ABSTRACTS OF JAPAN

(21) Application number: 09067581

(51) Intl. H01L 27/108 H01L 21/8242 H01L 27/10  
Cl.: H01L 21/8247 H01L 29/788 H01L 29/792

(22) Application date: 21.03.97

(30) Priority:

(43) Date of application publication: 29.09.98

(84) Designated contracting states:

(71)

SHARP CORP

Applicant:

(72) Inventor: YAMAGATA SATORU  
OGIMOTO YASUSHI

(74)

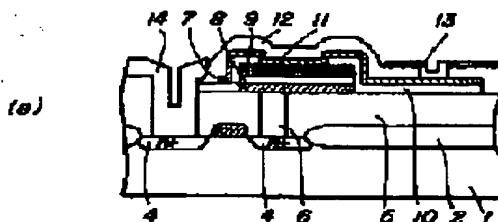
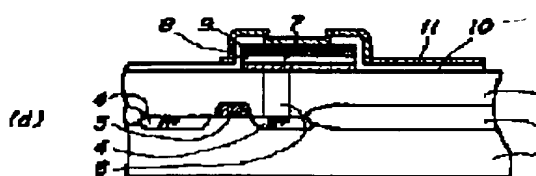
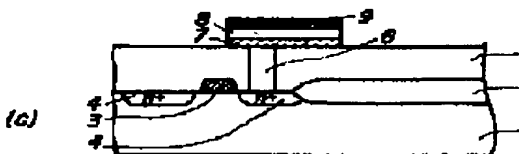
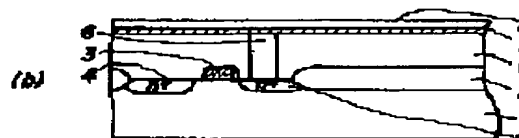
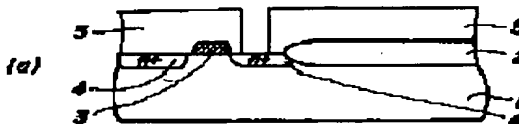
Representative:

## (54) MANUFACTURE OF SEMICONDUCTOR MEMORY ELEMENT

(57) Abstract:

**PROBLEM TO BE SOLVED:** To provide a method of manufacturing a semiconductor memory element whose leakage current density is low wherein the surface of a lower electrode is made smooth and material quality of a high dielectric film or a ferroelectric film is stabilized.

**SOLUTION:** After a selection transistor is formed in a silicon substrate 1, an interlayer insulating film is formed, and then a contact hole is formed. After polysilicon is buried, the surface is flattened by a CMP method, and a polysilicon plug 6 is formed. A titanium film and a titanium nitride film 7 are formed on the polysilicon plug 6. A lower electrode 8 of platinum is formed. By annealing the electrode 8, its surface is made smooth. As the result, the surface of the dielectric thin film on the platinum lower electrode 8 becomes smooth, and a leakage current of the dielectric thin film can be restrained.



loc/or  
⇒ die COPYRIGHT: (C)1998,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-261770

(43) 公開日 平成10年(1998) 9月29日

(51) Int.Cl.<sup>8</sup>

識別記号

F I

H 0 1 L 27/108

H 0 1 L 27/10

6 5 1

21/8242

4 5 1

27/10

4 5 1

6 2 1 B

21/8247

29/78

3 7 1

29/788

審査請求 未請求 請求項の数 2 O L (全 6 頁) 最終頁に続く

(21) 出願番号

特願平9-67581

(22) 出願日

平成9年(1997) 3月21日

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 山形 知

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(72) 発明者 荻本 泰史

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

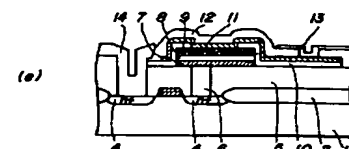
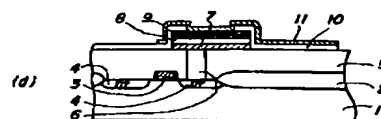
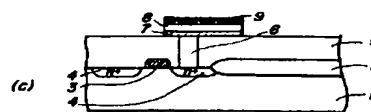
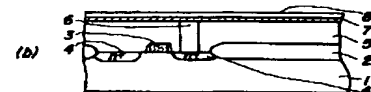
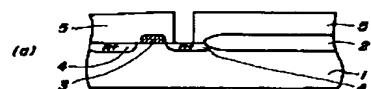
(74) 代理人 弁理士 梅田 勝

(54) 【発明の名称】 半導体メモリ素子の製造方法

(57) 【要約】

【課題】 高誘電体膜或いは強誘電体膜の多くは、ペロブスカイト構造などの結晶構造をもち、その物性の制御が難しい。

【解決手段】 まず、シリコン基板1に選択トランジスタを形成した後、層間絶縁膜を形成し、コンタクトホールを形成する。次に、ポリシリコンを埋め込んだ後、CMP法で表面を平坦化し、ポリシリコンプラグ6を形成する。次に、このポリシリコンプラグ6上に、チタン膜と窒化チタン膜7を成膜する。続いて、白金下部電極8を成膜する。次に、白金下部電極8のアニールを行い、白金下部電極8の表面を平滑化し、結果として、白金下部電極8上の誘電体薄膜の表面が平滑になり、誘電体薄膜のリーク電流を抑えることができる。



## 【特許請求の範囲】

【請求項1】 上部電極と下部電極との間に強誘電体膜又は高誘電体膜を有するキャパシタと、上記下部電極と導電性プラグを通じて接続されたトランジスタとを備えた半導体メモリ素子の製造方法において、上記導電性プラグ上に導電性拡散バリア層を形成した後、上記下部電極を形成する工程と、熱処理により、上記下部電極表面を平坦化した後、上記強誘電体膜又は高誘電体膜を形成することを特徴とする、半導体メモリ素子の製造方法。

【請求項2】 上記拡散バリア層が窒化チタンであることを特徴とする、請求項1記載の半導体メモリ素子の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、半導体メモリ素子の製造方法、特に、強誘電体膜材料又は高誘電体膜材料からなる誘電体膜を有する半導体メモリ素子の製造方法に関するものである。

## 【0002】

【従来の技術】近年、シリコン酸化膜に比べて大きな誘電率を有する高誘電体薄膜を利用した半導体メモリ素子や、自発分極をもつ強誘電体薄膜を利用した半導体メモリ素子が盛んに研究されている。高誘電体材料としては、STO ( $\text{SrTiO}_3$ 、チタン酸ストロンチウム)、BSTO ( $(\text{Ba}, \text{Sr})\text{TiO}_3$ 、チタン酸バリウム・ストロンチウム) など、強誘電体材料としては、PZT ( $\text{Pb}(\text{Zr}, \text{Ti})\text{O}_3$ 、チタン酸ジルコン酸鉛)、 $\text{PbTiO}_3$  (チタン酸鉛)、 $\text{BaTiO}_3$  (チタン酸バリウム)、PLZT ( $(\text{Pb}, \text{La})(\text{Zr}, \text{Ti})\text{O}_3$ 、チタン酸ジルコン酸ランタン鉛)、Bi系層状酸化物 ( $\text{SrBi}_2(\text{Ta}_x\text{Nb}_{1-x})_2\text{O}_9$ )、BTO ( $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ ) などの酸化物が主であり、中でも現在、最も有望な不揮発性メモリ用材料としてPZTやBi系層状酸化物が精力的に研究されている。

【0003】従来の高誘電体膜材料或いは強誘電体材料をキャパシタの誘電体膜に用いた半導体メモリでは、例えば、図4(e)に示すように、下部電極28、誘電体膜29及び上部電極31からなる誘電体キャパシタをゲート電極23及びソース/ドレイン領域24からなる選択トランジスタの上に形成したスタック型構造が採用され、メモリセル領域を縮小し、高集積化を可能としている。このようなスタック型構造を実現するためには、選択トランジスタと誘電体キャパシタを接続する配線26をプラグ構造とする必要がある。尚、図4(e)において、21は半導体基板(例えば、n型シリコン基板)、22は素子分離のためのロコス酸化膜、25、30、32は層間絶縁膜、27は下部電極28とプラグ構造の配線とが反応することを防止するためのバリアメタル、3

3、34は電極を示す。

【0004】従来、PZTを用いたキャパシタを形成する際、下部電極形成直後に、PZTを形成していた。その場合、PZTのグレインサイズが大きくなることによって、モフォロジーが悪くなるため、図5に示すように、キャパシタの駆動電圧5Vでリーク電流が $1.0 \times 10^{-4} \text{A/cm}^2$ 程度となってしまう(リーク電流密度は $1.0 \times 10^{-7} \text{A/cm}^2$ 以下であることが必要)、キャパシタとして用いることができない。

10 【0005】次に、図4に用いて、従来の半導体メモリ素子の製造工程を説明する。

【0006】まず、シリコン基板21の表面に膜厚が約5000Åのロコス酸化膜22を形成して、素子分離領域を形成する。次に、ゲート電極23、ソース/ドレイン領域24等からなる選択トランジスタを形成した後、層間絶縁膜として、CVD方で第1のシリコン酸化膜25を、5000Å程度成膜し、続いて、直径0.5µmのコンタクトホールを形成する。

20 【0007】次に、CVD法でポリシリコンを埋め込んだ後、CMP法で表面を平坦化し、ポリシリコンプラグ26を形成する。

【0008】次に、このポリシリコンプラグ26上に、DCマグネトロンスパッタ法で膜厚300Åのチタン膜を成膜し、更に、マグネロン反応性スパッタ法で膜厚2000Åの窒化チタン膜27を成膜する。続いて、DCマグネトロンスパッタ法で膜厚1000Åの白金下部電極28を成膜する。

30 【0009】次に、ゾルゲル法を用いて、膜厚が2000ÅのPZT膜29を成膜する。上記PZT膜29の形成方法は、まず、2-メトキシエタノールを溶媒として酢酸鉛、チタン(IV)イソプロポキシド、ジルコニウムイソプロポキシドをそれぞれPb:Ti:Zr=100:52:48となるように溶解してゾルゲル原料溶液とし、この原料溶液をスピナーを用いて、回転数を3000rpmとして塗布し、大気中で、150℃、10分間の乾燥を行った後、大気中で、400℃で30分間の仮焼結を行う。この後、600~650℃で30分間、窒素と酸素との混合雰囲気中で結晶化を行う。この際の窒素と酸素との流量比は、窒素流量/酸素流量=4/1とする。

40 【0010】次に、PZT膜29と白金下部電極28と窒化チタン膜27をドライエッチング法で、例えば、2.6µm角の大きさに加工した。その後、層間絶縁膜として、CVD法を用いて第2のシリコン酸化膜30を成膜した後、コンタクトホールを形成し、強誘電体膜キャパシタの白金上部電極31をDCマグネトロンスパッタリング法により、1000Å形成する。

50 【0011】次に、白金上部電極31を塩素ガスを用いたドライエッチング法で加工し、CVD法を用いて、第3のシリコン酸化膜32を成膜した後、コンタクトホー

## 3

ルを形成し、強誘電体キャパシタの白金上部電極31からのアルミニウム引き出し電極33をDCマグネトロンスパッタリング法にて形成した。

## 【0012】

【発明が解決しようとする課題】誘電体キャパシタに用いられる高誘電体膜或いは強誘電体膜の形成プロセスにおいては、これらを結晶化させて高誘電率或いは強誘電性を得るために500℃～700℃の高温酸化性雰囲気での処理が不可欠である。これらの高誘電体膜或いは強誘電体膜の多くは、ペロブスカイト構造などの結晶構造をもつため、その物性の制御が難しい。

【0013】従来技術で示した、キャパシタの製造方法の場合、PZT等の強誘電体膜に巨大グレインが発生し、それに伴いPZT膜の表面が粗くなる（モフォロジーが粗くなる）。このため、リーク電流密度が高い。原因として、下部電極の表面粗さ、及び下部電極表面に初期核層が無いことが考えられる。

【0014】本発明は、下部電極の表面を滑らかにし、高誘電体膜或いは、強誘電体膜の物性を安定化させ、リーク電流密度の低い半導体メモリ素子の製造方法を提供することにある。

## 【0015】

【課題を解決するための手段】請求項1記載の本発明の半導体メモリ素子の製造方法は、上部電極と下部電極との間に強誘電体膜又は高誘電体膜を有するキャパシタと、上記下部電極と導電性プラグを通じて接続されたトランジスタとを備えた半導体メモリ素子の製造方法において、上記導電性プラグ上に導電性拡散バリア層を形成した後、上記下部電極を形成し、その後、熱処理して上記強誘電体膜又は高誘電体膜を形成することを特徴とするものである。

【0016】また、請求項2記載の本発明の半導体メモリ素子の製造方法は、上記拡散バリア層が窒化チタンであることを特徴とする、請求項1記載の半導体メモリ素子の製造方法である。

【0017】上記構成のように、下部電極の熱処理を行うことにより、下部電極の表面を滑らかにし、高誘電体膜或いは、強誘電体膜の物性を安定化させ、リーク電流密度の低くすることができる。

【0018】更に、請求項2記載の構成にすることにより、下部電極の表面に拡散バリア層から拡散してきたチタンが酸化され、酸化チタンなどの結晶の初期核層が形成され、初期核層を中心として高誘電体膜或いは強誘電体膜が成長するため、高密度の高誘電体膜等が形成され、更にリーク電流密度を低くすることができる。

## 【0019】

【実施の形態】以下、実施の形態に基づいて本発明について詳細に説明する。

【0020】図1は本発明の一の実施の形態の半導体メモリ素子の製造工程図、図2は駆動電圧と電気変位との

## 4

関係を示す図、図3は駆動電圧と電流密度との関係を示す図である。尚、図1において、1はn型シリコン基板、2はn型シリコン基板の表面に形成された素子分離のためのロコス酸化膜、3はゲート電極、4はソース／ドレイン領域、5はシリコン基板1上に層間絶縁膜として形成された第1のシリコン酸化膜、6はシリコン基板1と白金下部電極とのコンタクトを取るために形成されたポリシリコンプラグ、7はポリシリコンプラグ6上に拡散バリア層として形成されたチタン膜と窒化チタン膜、8は窒化チタン膜上に形成された白金下部電極、9は白金下部電極8上に形成された強誘電体薄膜であるPZT膜、10は層間絶縁膜として形成された第2のシリコン酸化膜、11はPZT膜9上に形成された白金上部電極、12は第3のシリコン酸化膜、13は白金上部電極11とのコンタクトを取るために形成された第1のアルミニウム引き出し電極、14はn型シリコン基板1とのコンタクトを取るために形成された第2のアルミニウム引き出し電極である。尚、本実施の形態において、n型シリコン基板について、述べるが、P型シリコン基板を用いた場合でも同様である。

【0021】以下に、図1を用いて、本発明の一実施の形態の半導体メモリ素子の製造工程を説明する。

【0022】まず、シリコン基板1の表面に膜厚が約5000Åのロコス酸化膜2を形成して、素子分離領域を形成する。次に、ゲート電極3、ソース／ドレイン領域4等からなる選択トランジスタを形成した後、層間絶縁膜として、CVD方で第1のシリコン酸化膜5を、5000Å程度成膜し、続いて、直径0.5μmのコンタクトホールを形成する。

【0023】次に、CVD法でポリシリコンを埋め込んだ後、CMP法で表面を平坦化し、ポリシリコンプラグ6を形成する。

【0024】次に、このポリシリコンプラグ6上に、DCマグネトロンスパッタ法で膜厚300Åのチタン膜を成膜し、更に、マグネトロン反応性スパッタ法で膜厚2000Åの窒化チタン膜7を成膜する。続いて、DCマグネトロンスパッタ法で膜厚1000Åの白金下部電極8を成膜する。

【0025】本発明は、白金電極形成後に以下の工程を行う。すなわち、500℃～700℃の温度で30分間不活性ガス雰囲気にて白金下部電極8のアニールを行う。この際、酸素を用いて熱処理を行うと拡散バリア層等が酸化されてしまうため、不活性ガスを使用する。時間、温度、雰囲気を変えることにより、誘電体薄膜の特性は様々に変化する。例えば、550℃で30分間窒素雰囲気中でアニールすることにより、白金下部電極8の表面を平滑化し、結果として、白金下部電極8上の誘電体薄膜の表面が平滑になり、誘電体薄膜のリーク電流を抑えることができる。

【0026】尚、熱処理温度が500℃より低い場合又

## 5

は700℃より高い場合はモフォロジーが悪くなる。白金下部電極8の熱処理を行わない場合、PZT膜のグレインサイズは1~2μmとなり、そのリーク電流密度は $10^{-4}\text{A}/\text{cm}^2$ となるが、上記熱処理を行うことにより、PZT膜のグレインサイズは100Å程度の微結晶粒となり、そのリーク電流密度は $10^{-7}\text{A}/\text{cm}^2$ 以下となる。

【0027】次に、ゾルゲル法を用いて、膜厚が2000ÅのPZT膜9を成膜する。上記PZT膜9の形成方法は、まず、2-メトキシエタノールを溶媒として酢酸鉛、チタン(IV)イソプロポキシド、ジルコニウムイソプロポキシドをそれぞれPb:Ti:Zr=100:52:48となるように溶解してゾルゲル原料溶液とし、この原料溶液をスピナーを用いて、回転数を3000rpmとして塗布し、大気中で、150℃、10分間の乾燥を行った後、大気中で、400℃で30分間の仮焼結を行う。この後、600~650℃で30分間、窒素と酸素との混合雰囲気中で結晶化を行う。この際の窒素と酸素との流量比は、窒素流量/酸素流量=4/1とする。

【0028】次に、PZT膜9と白金下部電極8と窒化チタン膜7をドライエッチング法で、例えば、2.6μm角の大きさに加工した。その後、層間絶縁膜として、CVD法を用いて第2のシリコン酸化膜10を成膜した後、コンタクトホールを形成し、強誘電体膜キャパシタの白金上部電極11をDCマグネトロンスパッタリング法により、1000Å形成する。

【0029】次に、白金上部電極11を塩素ガスを用いたドライエッチング法で加工し、CVD法を用いて、第3のシリコン酸化膜12を成膜した後、コンタクトホールを形成し、強誘電体キャパシタの白金上部電極11からのアルミニウム引き出し電極13をDCマグネトロンスパッタリング法にて形成した。

【0030】上述の工程により作成された強誘電体膜を有するキャパシタの白金上部電極11からのアルミニウム引き出し電極13とシリコン基板1からのアルミニウム引き出し電極14との間に三角波を印加することにより、図2に示すヒステリシスループが得られた。尚、この印加した三角波は、5Vで周波数は75Hzとした。図2に示すように、強誘電体キャパシタとして用いるのに十分な大きさの強誘電性が得られる。また、キャパシタのリーク電流密度は図3に示すように5Vで $9.1 \times 10^{-8}\text{A}/\text{cm}^2$ であり、キャパシタとして用いるのに十分小さい。

【0031】上記実施の形態において、誘電体膜の成膜方法として、ゾルゲル法を用いているが、真空蒸着法、反応性マグネトロンスパッタ法、MOCVD法等の方法

## 6

を用いてもよい。また、本実施の形態において、強誘電体薄膜としてPZT膜を用いているが、 $\text{PbTiO}_3$ 、 $(\text{Pb}_x\text{La}_{1-x})\text{TiO}_3$ 、 $(\text{Pb}_x\text{La}_{1-x})(\text{Zr}_y\text{Ti}_{1-y})\text{O}_3$ 、 $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ 、 $\text{BaTiO}_3$ 、 $\text{BaMgF}_4$ 、 $\text{LiNbO}_3$ 、 $\text{LiTaO}_3$ 、 $\text{SrBi}_2\text{Ti}_2\text{O}_9$ 、 $\text{YMnO}_3$ 、 $\text{Sr}_2\text{Nb}_2\text{O}_7$ 、 $\text{SrBi}_2(\text{Ta}_x\text{Nb}_{1-x})_2\text{O}_9$ 、 $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ 等においても、また、高誘電体薄膜として、 $(\text{Ba}_x\text{Sr}_{1-x})\text{TiO}_3$ 、 $\text{SrBi}_4\text{Ti}_4\text{O}_{15}$ 等においても、同様に十分な強誘電体膜、若しくは高誘電体膜の制御若しくは効果が得られる。

【0032】更に、本実施の形態において、下部電極の材料として白金を用いているが、その他の金属や窒化物や、 $\text{RuO}_2$ 、 $\text{IrO}_2$ 等の導電性酸化物を用いた場合でも同様な効果が得られる。

## 【0033】

【発明の効果】以上、詳細に説明したように、本発明を用いることにより、強誘電体膜或いは高誘電体膜のモフォロジーを滑らかにすることができ、更に、拡散バリア膜として窒化チタン膜を使用すれば初期核層が形成されるので、その結果、リーク電流密度の小さい強誘電体膜或いは高誘電体膜を有する半導体メモリ素子を製造することができる。

## 【図面の簡単な説明】

【図1】本発明の一実施の形態の半導体メモリ素子の製造工程図である。

【図2】駆動電圧と電気変位との関係を示す図である。

【図3】本発明を用いた場合の、駆動電圧とリーク電流密度との関係を示す図である。

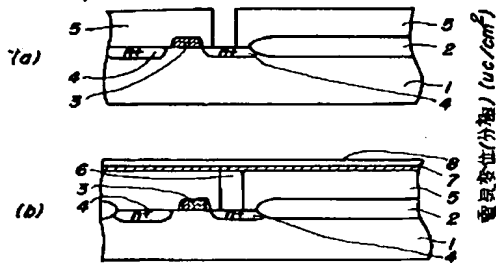
【図4】従来の半導体メモリ素子の製造工程図である。

【図5】従来技術を用いた場合の、駆動電圧とリーク電流密度との関係を示す図である。

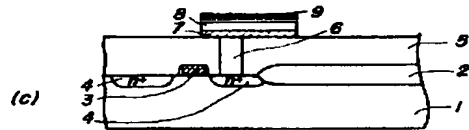
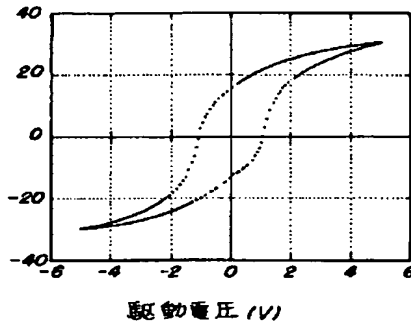
## 【符号の説明】

- 1 n型シリコン基板
- 2 ロコス酸化膜
- 3 ゲート電極
- 4 ソース/ドレイン領域
- 5 第1のシリコン酸化膜
- 6 ポリシリコンプラグ
- 7 チタン膜と窒化チタン膜
- 8 白金下部電極
- 9 PZT膜
- 10 第2のシリコン酸化膜
- 11 白金上部電極
- 12 第3のシリコン酸化膜
- 13 第1のアルミニウム引き出し電極
- 14 第2のアルミニウム引き出し電極

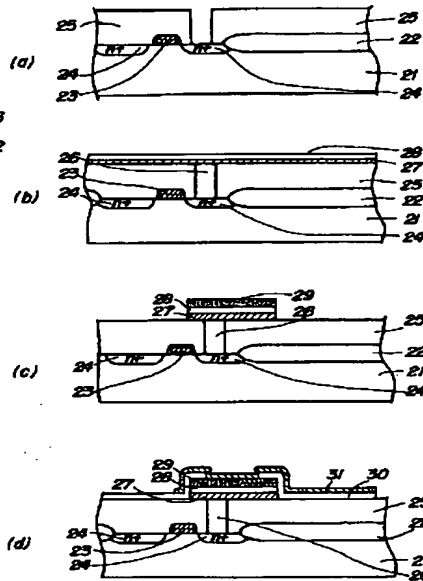
【図1】



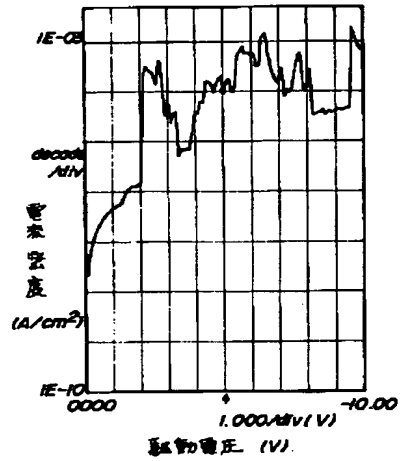
【図2】



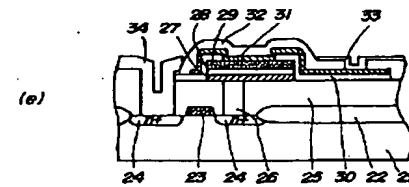
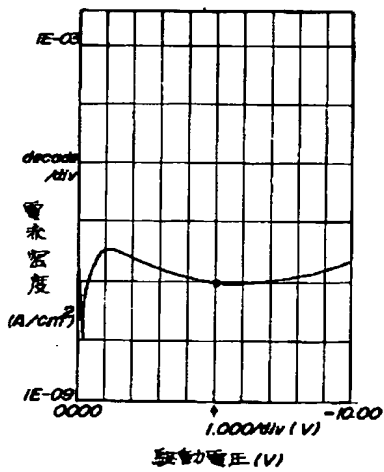
【図4】



【図5】



【図3】



(6)

特開平10-261770

フロントページの続き

(51) Int. Cl. 6

識別記号

F I

H 0 1 L 29/792